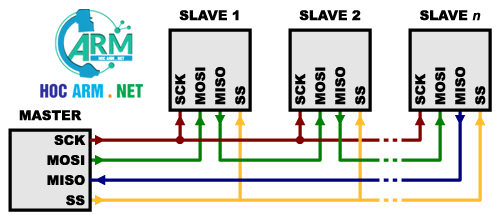
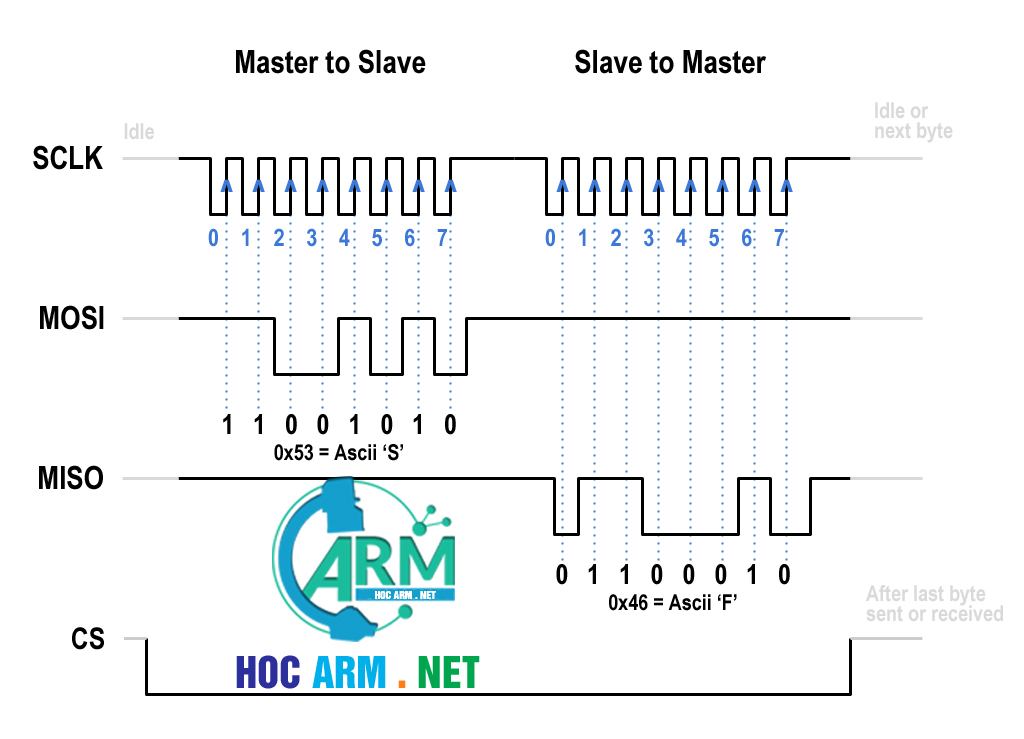
SPI (Serial Peripheral Bus) là một chuẩn truyền thông nối tiếp tốc độ cao do hang Motorola đề xuất. Đây là kiểu truyền thông Master-Slave, trong đó có 1 chip Master điều phối quá trình tuyền thông và các chip Slaves được điều khiển bởi Master vì thế truyền thông chỉ xảy ra giữa Master và Slave. SPI là một cách truyền song công (full duplex) nghĩa là tại cùng một thời điểm quá trình truyền và nhận có thể xảy ra đồng thời.

SPI đôi khi được gọi là chuẩn truyền thông “4 dây” vì có 4 đường giao tiếp trong chuẩn này đó là SCK (Serial Clock), MISO (Master Input Slave Output), MOSI (Master Ouput Slave Input) và SS (Slave Select).   
       SCK: Xung giữ nhịp cho giao tiếp SPI, vì SPI là chuẩn truyền đồng bộ nên cần 1 đường giữ nhịp, mỗi nhịp trên chân SCK báo 1 bit dữ liệu đến hoặc đi. Đây là điểm khác biệt với truyền thông không đồng bộ mà chúng ta đã biết trong chuẩn UART. Sự tồn tại của chân SCK giúp quá trình tuyền ít bị lỗi và vì thế tốc độ truyền của SPI có thể đạt rất cao. Xung nhịp chỉ được tạo ra bởi chip Master.   
       MISO– Master Input / Slave Output: nếu là chip Master thì đây là đường Input còn nếu là chip Slave thì MISO lại là Output. MISO của Master và các Slaves được nối trực tiếp với nhau..     
       MOSI – Master Output / Slave Input: nếu là chip Master thì đây là đường Output còn nếu là chip Slave thì MOSI là Input. MOSI của Master và các Slaves được nối trực tiếp với nhau.   
       SS – Slave Select: SS là đường chọn Slave cần giap tiếp, trên các chip Slave đường SS sẽ ở mức cao khi không làm việc. Nếu chip Master kéo đường SS của một Slave nào đó xuống mức thấp thì việc giao tiếp sẽ xảy ra giữa Master và Slave đó. Chỉ có 1 đường SS trên mỗi Slave nhưng có thể có nhiều đường điều khiển SS trên Master, tùy thuộc vào thiết kế của người dùng.



       Hoạt động: mỗi chip Master hay Slave có một thanh ghi dữ liệu 8 bits. Cứ mỗi xung nhịp do Master tạo ra trên đường giữ nhịp SCK, một bit trong thanh ghi dữ liệu của Master được truyền qua Slave trên đường MOSI, đồng thời một bit trong thanh ghi dữ liệu của chip Slave cũng được truyền qua Master trên đường MISO. Do 2 gói dữ liệu trên 2 chip được gởi qua lại đồng thời nên quá trình truyền dữ liệu này được gọi là “song công”.



Cực của xung giữ nhịp, phase và các chế độ hoạt động: cực của xung giữ nhịp (Clock Polarity) được gọi tắt là CPOL là khái niệm dùng chỉ trạng thái của chân SCK ở trạng thái nghỉ. Ở trạng thái nghỉ (Idle), chân SCK có thể được giữ ở mức cao (CPOL=1) hoặc thấp (CPOL=0). Phase (CPHA) dùng để chỉ cách mà dữ liệu được lấy mẫu (sample) theo xung giữ nhịp. Dữ liệu có thể được lấy mẫu ở cạnh lên của SCK (CPHA=0) hoặc cạnh xuống (CPHA=1). Sự kết hợp của SPOL và CPHA làm nên 4 chế độ hoạt động của SPI. Nhìn chung việc chọn 1 trong 4 chế độ này không ảnh hưởng đến chất lượng truyền thông mà chỉ cốt sao cho có sự tương thích giữa Master và Slave.

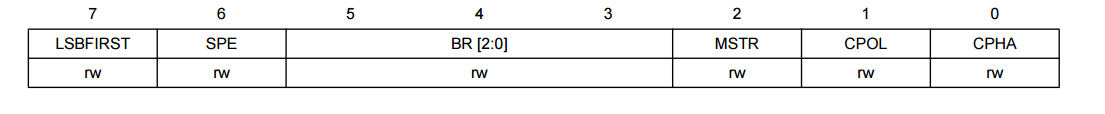
Module SPI trong các chip STM8 hầu như hoàn toàn giống với chuẩn SPI mô tả trong phần trên. Vì thế, nếu đã hiểu cách truyền thông SPI thì sẽ khống quá khó để thực hiện việc truyền thông này với STM8.  
Các chân giao tiếp SPI cũng chính là các chân PORT thông thường, vì thế nếu muốn sử dụng SPI chúng ta cần xác lập hướng cho các chân này. Trên chip STM8s103k3, các chân SPI như sau:

SCK    – PC5 ( chân 22 )  
MOSI  – PC6 ( chân 23 )  
MISO  – PC7 ( chân 24 )  
NSS      – PE5 ( chân 17 )

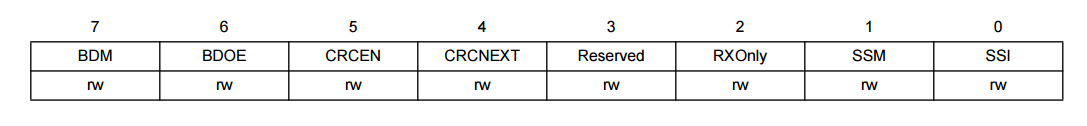
      Khi chip STM8 được sử dụng làm Slave, bạn cần set các chân SCK input, MOSI input, MISO output và SS input. Nếu là Master thì SCK output, MISO input, MOSI output và khi này chân SS không quan trọng, chúng ta có thể dùng chân này để điều khiển SS của Slaves hoặc bất kỳ chân PORT thông thường nào.  
       SPI trên STM8 được vận hành bởi 4 thanh ghi

1. SPI\_CR1
2. SPI\_CR2
3. SPI\_DR
4. SPI\_SR

SPI control register 1 (SPI\_CR1)

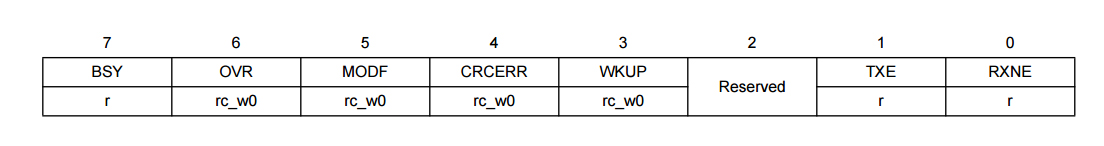


Bit 7 LSBFIRST: Định dạng khung truyền  
         0: MSB được truyền trước  
         1: LSB được truyền trước  
Bit 6 SPE: Cho Phép SPI  
         0: Tắt SPI  
         1: Bật SPI  
Bits 5:3 BR[2:0]: Kiểm soát tốc độ đường truyền  
         000: fMASTER/2  
         001: fMASTER/4  
         010: fMASTER/8  
         011: fMASTER/16  
         100: fMASTER/32  
         101: fMASTER/64  
         110: fMASTER/128  
         111: fMASTER/256  
Lưu ý: Các bit này không nên thay đổi khi truyền thông đang diễn ra.  
Bit 2 MSTR: Lựa chọn cấu hình  
         0: Cấu hình Slave  
         1: Cấu hình Master  
Bit1 CPOL: Đồng hồ phân cực  
         0: SCK to 0 khi nghỉ  
         1: SCK to 1 khi nghỉ  
Bit 0 CPHA: Clock phase  
         0:Chuyển đổi đồng hồ đầu tiên là cạnh bắt đầu dữ liệu đầu tiên  
         1:Chuyển đổi đồng hồ thứ hai là cạnh bắt đầu dữ liệu đầu tiên  
  
SPI control register 2



Bit 7 BDM: Bật chế độ dữ liệu hai chiều  
         0: Chọn chế độ dữ liệu hai chiều  
         1: Chọn chế độ dữ liệu một chiều  
Bit 6 BDOE:Cho phép đầu vào / đầu ra ở chế độ hai chiều  
Chọn hướng chuyển ở chế độ hai chiều khi BDM được đặt thành 1  
         0: Bật đầu vào (chỉ chế độ nhận)  
         1: Bật đầu ra (chỉ chế độ truyền)  
Trong chế độ master, pin MOSI được sử dụng và ở chế độ Slave, pin MISO được sử dụng.  
Bit 5 CRCEN:Tính toán CRC phần cứng cho phép  
         0: CRC calculation disabled  
         1: CRC calculation Enabled  
Lưu ý: Chỉ nên viết bit này khi SPI bị tắt (SPE = '0') để hoạt động chính xác  
Bit 4 CRCNEXT: Transmit CRC next  
        0: Next transmit value is from Tx buffer  
        1: Next transmit value is from Tx CRC register  
Bit 3 Reserved  
Bit 2 RXONLY: Receive only  
        0: Full duplex (Transmit and receive)  
        1: Output disabled (Receive only mode)  
Bit 1 SSM: Software slave management  
        0: Software slave management disabled  
        1: Software slave management enabled

Khi bit SSM được thiết lập, đầu vào pin NSS được thay bằng giá trị đến từ bit SSI

Bit 0 SSI: Internal slave select  
This bit has effect only when SSM bit is set. The value of this bit is forced onto the NSS pin and the I/O  
value of the NSS pin is ignored.  
        0: Slave mode  
        1: Master mode  
SPI status register (SPI\_SR)  
Bit 7 BSY: Busy flag  
        0: SPI not busy  
        1: SPI is busy in communication  
Cờ này được thiết lập và đặt lại bằng phần cứng  
Lưu ý: Cờ BSY phải được sử dụng thận trọng  
Bit 1 TXE: Transmit buffer empty  
       0: Tx buffer not empty  
       1: Tx buffer empty  
Bit 0 RXNE: Receive buffer not empty  
       0: Rx buffer empty  
       1: Rx buffer not empty